

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-106875

(43)Date of publication of application : 21.04.1995

(51)Int.Cl.

H03F 3/45

H03F 1/34

(21)Application number : 05-244180

(71)Applicant : NEC CORP

(22)Date of filing : 30.09.1993

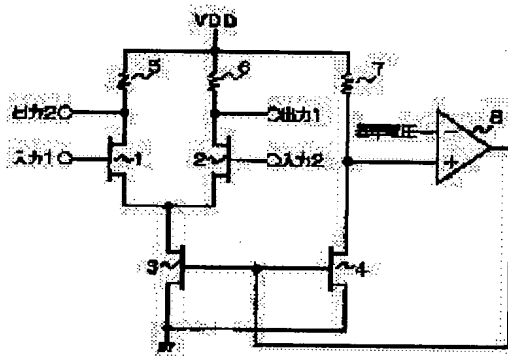
(72)Inventor : OE SHINICHI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To make an output voltage amplitude of a GaAs FET differential amplifier using a resistance load constant against temperature fluctuation by comparing a gate bias voltage with a comparison reference voltage by a voltage comparator.

CONSTITUTION: When a temperature is fluctuated resulting in decreasing an output voltage V_b of a bias circuit than a comparison reference voltage V_r , since an output voltage V_{ao} of a voltage comparator 8 decreases, a gate-source voltage V_{gs} of an n-channel GaAs FET 4 decreases and the output voltage V_b of the bias circuit is equal to the comparison reference voltage V_r . On the other hand, when the output voltage V_b is larger than the comparison reference voltage V_r , since the output voltage V_{ao} of the voltage comparator 8 increases, the voltage V_{gs} of the FET 4 increases and the output voltage V_b decreases and is equal to the comparison reference voltage V_r . Since the gate-source voltage V_{gs} of the FET 4 is controlled so as to make the output voltage V_b equal to the comparison reference voltage V_r in this way against temperature fluctuation, a gate electrode of a constant current source 3 connected in common to a gate electrode of the n-channel GaAs FET 4 is simultaneously controlled thereby suppressing the fluctuation of the amplitude of output voltage.



LEGAL STATUS

[Date of request for examination] 23.03.1994

[Date of sending the examiner's decision of rejection] 02.07.1996

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-106875

(43) 公開日 平成7年(1995)4月21日

(51) Int.Cl.⁹

H03F 3/45
1/34

識別記号

Z

庁内整理番号

9067-5J

F I

技術表示箇所

審査請求 有 請求項の数 3 O L (全 5 頁)

(21) 出願番号 特願平5-244180

(22) 出願日 平成5年(1993)9月30日

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 小江 信一

東京都港区芝五丁目7番1号 日本電気株
式会社内

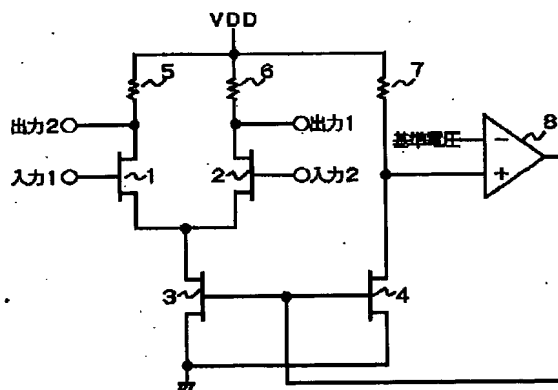
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【目的】 抵抗負荷を用いたGaAsFETの差動対型増幅器を有する半導体集積回路の出力振幅を温度変動に対して一定にする。

【構成】 この回路は、ドレイン電極が出力端子2および1に接続され、かつ負荷抵抗5および6を介して電源VDDに接続されるとともにゲート電極に入力端子1および2が接続されエミッタ電極が共通接続された1対の差動n型GaAsFET1および2と、この共通接続されたソース電極に接続された定電流源3と、この定電流源3にゲートバイアス電圧を供給する電圧比較器8とを備える。さらに、電源VDDおよび接地電位GND間に抵抗素子7およびn型GaAsFET4の直列接続回路を設け、その直列接続点に電圧比較器8の入力端子(+)が接続され、入力端子(-)が比較基準電圧に接続されるとともにその出力端子が定電流源3およびn型GaAsFET4のゲート電極にそれぞれ接続される。



1

【特許請求の範囲】

【請求項 1】 ドレインまたはソース電極が負荷抵抗を介して第 1 の電源に接続されゲート電極に入力信号が供給されソースまたはドレイン電極が共通接続された 1 対の差動トランジスタ回路と、その共通接続されたソースまたはドレイン電極および第 2 の電源間に接続された定電流源トランジスタと、この定電流源トランジスタのゲートにバイアス電圧を供給するバイアス手段とを備えた半導体集積回路において、前記バイアス手段は、バイアス回路と、一方の入力端に供給される電圧を他方の入力端に供給されるあらかじめ定められた比較基準電圧と比較しその差電圧を増幅出力する電圧比較器とを備え、前記バイアス回路の出力電圧と前記比較基準電圧との比較結果に応答して前記定電流源トランジスタおよび前記バイアス回路の電流が制御されることを特徴とする半導体集積回路。

【請求項 2】 ドレインまたはソース電極が負荷抵抗を介して第 1 の電源に接続されゲート電極に入力信号が供給されソースまたはドレイン電極が共通接続された 1 対の差動トランジスタ回路と、その共通接続されたソースまたはドレイン電極および第 2 の電源間に接続された定電流源トランジスタと、この定電流源トランジスタのゲートにバイアス電圧を供給するバイアス手段とを備えた半導体集積回路において、前記バイアス手段は、バイアス回路と、一方の入力端に供給される電圧を他方の入力端に供給されるあらかじめ定められた比較基準電圧と比較しその差電圧を増幅出力する電圧比較器とを備え、前記バイアス回路の出力電圧と前記第 1 または前記第 2 の電源電圧を分圧する分圧手段による前記比較基準電圧との比較結果に応答して前記定電流源トランジスタおよび前記バイアス回路の電流が制御されることを特徴とする半導体集積回路。

【請求項 3】 前記バイアス回路は、前記第 1 の電源および前記第 2 の電源間に抵抗素子と電界効果トランジスタの直列接続回路が挿入されその直列接続点が前記電圧比較器の一方の入力端に接続され、前記電界効果トランジスタのゲート電極が前記定電流源トランジスタのゲート電極および前記電圧比較器の出力端にそれぞれ共通接続されて構成されることを特徴とする請求項 1 または 2 記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体集積回路に関し、特に GaAs 電界効果トランジスタ (GaAs FET) を用いた増幅器の温度補償手段を有する半導体集積回路に関する。

【0002】

【従来の技術】 従来のこの種の半導体集積回路は、GaAs FET を用いた差動対型で構成されている。その一例をブロック図で示した図 4 を参照すると、同図に示し

2

た半導体集積回路は、1 対の差動トランジスタ GaAs FET 1 および 2 と、この差動トランジスタ GaAs FET 1 および 2 のドレイン電極と高位側電源 VDD との間にそれぞれ接続された抵抗器 5 および 6 と、差動トランジスタ GaAs FET 1 および 2 のソース電極が共通接続され、この共通接続点と接地電位 GND との間に挿入された GaAs FET 3 と、この GaAs FET 3 のゲート電極に分圧電圧を供給する抵抗器 9 および 10 の直列接続回路とを有し、差動トランジスタ GaAs FET 1 および 2 のゲート電極に入力 1 および 2 が供給され、それぞれのコレクタ電極から出力 2 および 1 をとり出すように構成されている。

【0003】 出力 1 および 2 の出力振幅は、抵抗器 5 および 6 の抵抗値と GaAs FET 1 および 2 からなる定電流源の電流値から決る。この電流値を決める GaAs FET 1 および 2 のベースバイアスは、抵抗器 9 および 10 の直列接続回路の分圧電圧で決まるため、温度変化に依存せず一定である。

【0004】

【発明が解決しようとする課題】 上述した従来の半導体集積回路において、負荷抵抗を用いた差動トランジスタ対の回路は、定電流源として動作する GaAs FET のゲート電極のバイアス電圧が温度に関係なく一定になるため、GaAs FET の温度特性が定電流源の温度変動となる。また、負荷抵抗の温度特性と定電流源の温度特性の積が、差動トランジスタ対の出力電圧振幅の温度変動となり、この出力電圧振幅の温度変動は出力電圧が温度変動に対して一定であることが必要なときは欠点となっていた。

【0005】 本発明の目的は、上述の欠点に鑑みなされたものであり、抵抗負荷を用いた GaAs FET の差動対型増幅器の出力電圧振幅を温度変動に対して一定にすることににある。

【0006】

【課題を解決するための手段】 本発明の特徴は、ドレインまたはソース電極が負荷抵抗を介して第 1 の電源に接続されゲート電極に入力信号が供給されソースまたはドレイン電極が共通接続された 1 対の差動トランジスタ回路と、前記共通接続されたソースまたはドレイン電極および第 2 の電源間に接続された定電流源トランジスタと、この定電流源トランジスタのゲートにバイアス電圧を供給するバイアス手段とを備えた半導体集積回路において、前記バイアス手段は、バイアス回路と、一方の入力端に供給される電圧を他方の入力端に供給されるあらかじめ定められた比較基準電圧と比較しその差電圧を増幅出力する電圧比較器とを備え、前記バイアス回路の出力電圧と前記比較基準電圧との比較結果に応答して前記定電流源トランジスタおよび前記バイアス回路の電流が制御されることにある。

【0007】 本発明の他の特徴は、ドレインまたはソー

ス電極が負荷抵抗を介して第1の電源に接続されゲート電極に入力信号が供給されソースまたはドレイン電極が共通接続された1対の差動トランジスタ回路と、前記共通接続されたソースまたはドレイン電極および第2の電源間に接続された定電流源トランジスタと、この定電流源トランジスタのゲートにバイアス電圧を供給するバイアス手段とを備えた半導体集積回路において、前記バイアス手段は、バイアス回路と、一方の入力端に供給される電圧を他方の入力端に供給されるあらかじめ定められた比較基準電圧と比較しその差電圧を増幅出力する電圧比較器とを備え、前記バイアス回路の出力電圧と前記第1または前記第2の電源電圧を分圧する分圧手段による前記比較基準電圧との比較結果に応答して前記定電流源トランジスタおよび前記バイアス回路の電流が制御されることにある。

【0008】

【実施例】次に、本発明の実施例について図面を参照しながら説明する。

【0009】図1は本発明の第1の実施例を示す回路図である。図1を参照すると、この半導体集積回路は、ドレイン電極が出力端子2および1に接続され、かつ負荷抵抗（抵抗素子）5および6を介して第1の電源（VDD）に接続されるとともにゲート電極に入力端子1および2が接続されエミッタ電極が共通接続された1対の差動n型GaAsFET1および2と、この共通接続されたソース電極に接続された定電流源n型GaAsFET3と、この定電流源n型GaAsFET3にゲートバイアス電圧を供給する電圧比較器8とを備える。さらに、電源VDDおよび第2の電源（GND）間に抵抗素子7およびn型GaAsFET4の直列接続回路を設け、この直列接続回路の直列接続点（バイアス回路の出力電圧）に電圧比較器8の入力端子（+）が接続され、入力端子（-）が比較基準電圧に接続されるとともに、その出力端子が定電流源n型GaAsFET3およびn型GaAsFET4のゲート電極にそれぞれ接続される構成をとる。

*

$$k = (\text{const} / (I_4 \cdot I_7)) \cdot 1 / (\alpha \cdot \beta) \\ = C \cdot 1 / (\alpha \cdot \beta) \quad (8)$$

ここでCは温度に対して一定の定数である。（8）式を※（1）式に代入すると、

$$V_2 = (\alpha \cdot C \cdot 1 / (\alpha \cdot \beta)) \cdot I_3 \cdot (\beta \cdot R_5) \\ = C \cdot I_3 \cdot R_5 \quad (9)$$

したがって、出力電圧V₂は抵抗素子5の抵抗値R₅と定電流源n型GaAsFET3のドレイン電流I₃で決り温度に対して一定となる。同様に出力電圧V₁も温度に対して一定となる。

【0014】すなわち、温度が変動してバイアス回路の出力電圧V_bが比較基準電圧V_rよりも小さくなったとき、電圧比較器8の出力電圧V_{ao}が下降するので、n型GaAsFET4のゲート・ソース間電圧V_{gs}が下降し、バイアス回路の出力電圧V_bは比較基準電圧V

*【0010】これら3個の抵抗素子5、6、および7と、n型GaAsFET3および4はそれぞれ同じ温度特性を有するものとする。ここで、n型GaAsFET3の電流をI₃、抵抗素子5の抵抗値をR₅、それぞれの温度係数をα、β、n型GaAsFET3のゲートバイアスによる変化分をkとすると、差動対n型GaAsFET1の出力V₂は次の式で表わされる。

$$【0011】V_2 = (\alpha \cdot k \cdot I_3) \cdot (\beta \cdot R_5) \dots (1)$$

さらに、n型GaAsFET4の電流値をI₄、n型GaAsFET4およびn型GaAsFET3のトランジスタサイズ比をm、抵抗素子7の抵抗値をR₇、抵抗素子7および抵抗素子5のサイズ比をnとすると、次の式が成り立つ。

【0012】

$$\alpha \cdot k \cdot I_3 = \alpha \cdot k \cdot m \cdot I_4 \dots (2)$$

$$I_3 = m \cdot I_4 \dots (3)$$

$$\beta \cdot R_5 = \beta \cdot n \cdot R_7 \dots (4)$$

$$R_5 = m \cdot n \cdot R_7 \dots (5)$$

また、n型GaAsFET4および抵抗素子7の直列接続点の電圧であるバイアス回路の出力電圧をV_bとすると、

$$V_b = (\alpha \cdot k \cdot I_4) \cdot (\beta \cdot R_7) \dots (6)$$

が成り立つ。

【0013】このバイアス回路の出力電圧V_bが、比較基準電圧V_rと比較されて一定電圧になるように電圧比較器8の出力電圧をn型GaAsFET4のゲート電極に帰還させると、

$$V_b = (\alpha \cdot k \cdot I_4) \cdot (\beta \cdot R_7) = \text{const} \dots (7)$$

rと等しくなる。

【0015】一方、温度が変動してバイアス回路の出力電圧V_bが比較基準電圧V_rよりも大きくなったときは、電圧比較器8の出力電圧V_{ao}が上昇するので、n型GaAsFET4のゲート・ソース間電圧V_{gs}が上昇し、バイアス回路の出力電圧V_bは下降して比較基準電圧V_rと等しくなる。

【0016】このように、n型GaAsFET4のゲート・ソース間電圧V_{gs}が温度変動に対しても比較基準

電圧 V_r に等しくなるように制御されるので、 n 型 $GaAsFET$ 4 のゲート電極に共通接続された定電流源 3 のゲート電極も同時に制御され、出力電圧の振幅の変動を抑えることができる。

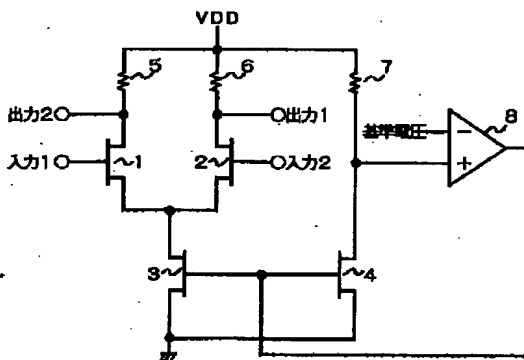
【0017】本発明の第2の実施例の回路図を示した図2を参照すると、この図に示した半導体集積回路は、比較基準電圧 V_r を、電源電圧 VDD と接地電位 GND との間に挿入された抵抗素子9および10の直列接続回路による分割電圧として供給したことが第1の実施例と異なる。それ以外の構成要素は第1の実施例と同一であるから構成の説明は省略する。

【0018】この構成によれば、抵抗素子9および10の直列接続回路による $VDD \cdot (R_9 + R_{10}) / R_{10}$ の分割電圧を比較基準電圧として供給されるから温度特性をもたず第1の実施例と同様な効果がある。

【0019】本発明の第3の実施例の回路図を示した図3を参照すると、この図に示した半導体集積回路は、第1の実施例の構成において、構成要素の n 型 $GaAsFET$ 1~4を p 型 $GaAsFET$ 11~14に置き換え、電源電位 VDD と接地電位 GND とを入れ換えてそれぞれ供給したことが第1の実施例と異なる。それ以外の構成は同一であるから説明は省略する。この構成においても第1の実施例と同様な効果がある。

【0020】

【図1】



【発明の効果】以上説明したように、本発明の半導体集積回路は、抵抗負荷をもつ $GaAsFET$ による差動対型の増幅器において、その共通ソースまたはドレイン電極に接続される定電流源 $GaAsFET$ のゲート電極にバイアス電圧を供給する回路は、電源電位および接地間に抵抗素子および $GaAsFET$ が直列接続で挿入されたバイアス回路の出力電圧と比較基準電圧とが電圧比較器に供給されて比較され、その比較結果の出力電圧をバイアス回路に帰還することによりバイアス回路が温度変化に対しても変動しないようにした。したがって、定電流源のゲートバイアスも温度変化に対して安定化されるので、差動対型の増幅器も温度変動に対して一定の出力電圧の振幅が得られる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の回路図である。

【図2】本発明の第2の実施例の回路図である。

【図3】本発明の第3の実施例の回路図である。

【図4】従来の半導体集積回路の一例を示す回路図である。

【符号の説明】

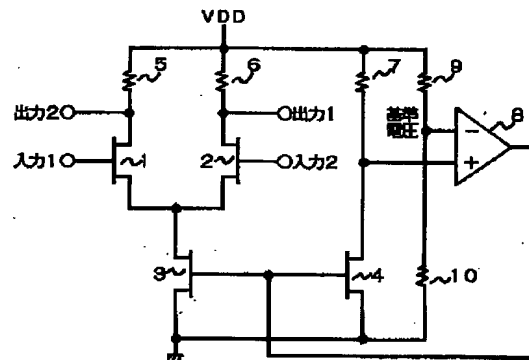
1~4 n 型 $GaAsFET$

5~7, 9, 10 抵抗素子

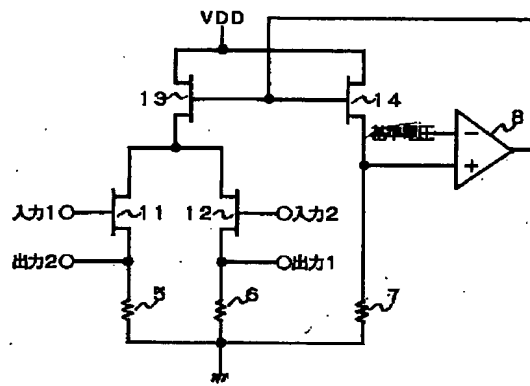
8 電圧比較器

10~11 p 型 $GaAsFET$

【図2】



【図3】



【図4】

